

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication
number:

00263700 A

(43)Date of publication of application:
13.10.1995(21)Application number: 6047430
(22)Date of filing: 17.03.1994(71)Applicant: FUJITSU LTD
(72)Inventor: OZAKI KIYOSHI
DEJIMA YOSHIO
KATO SHINYA
ISHIWARI HIDETOSHI
SHIMADA HIROYUKI
INOUE ATSUSHI
HIROTA SHIRO(51)Int. Cl
G02F 1/136
H01L 21/336
H01L 29/40
H01L 29/786

(54) MANUFACTURE OF THIN FILM TRANSISTOR

(57) Abstract:

PURPOSE: To restrain irregularity of contact resistance between an Al film and a transparent conducting film, and maintain the contact resistance in a small value, regarding the manufacturing method of a thin film transistor which is used for driving the liquid crystal in a liquid crystal display. CONSTITUTION: A source/drain electrode 33a of a thin film transistor is formed on a transparent substrate 21. As to at least the upper two layers of the electrode 33a is an Al film 31 and a high melting point metal film 30 in the order from the upper layer. An insulating film 35 is formed so as to cover the electrode 33a. An aperture 36b is formed in the insulating film 35 on the electrode 33a. The uppermost Al film 31 of the electrode 33a is etched via the aperture 36b, and the high melting point metal film 30 as the substratum is exposed. A transparent conducting film is formed so as to come into contact with the high melting point metal film 30 in the aperture 36b. COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-263700

(43)公開日 平成7年(1995)10月13日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
21/336				
G 0 2 F 1/136	5 0 0			
H 0 1 L 29/40	A	9056-4M	H 0 1 L 29/ 78	3 1 1 P
			審査請求 未請求 請求項の数9	〇 L (全 11 頁)

(21)出願番号 特願平6-47430

(22)出願日 平成6年(1994)3月17日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 尾崎 喜義

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 出島 芳夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 加藤 真也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 岡本 啓三

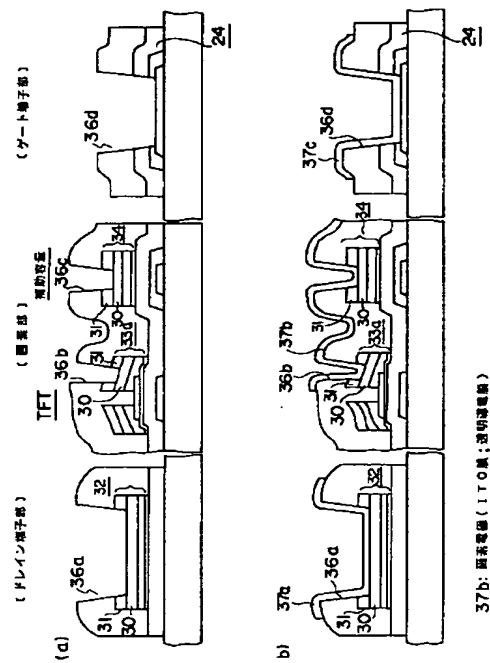
最終頁に続く

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【目的】液晶表示装置の液晶駆動に用いられる薄膜トランジスタの製造方法に関し、A 1 膜と透明導電膜との接触抵抗のばらつきを抑制し、接触抵抗を小さく保持する。

【構成】透明基板2 1上に形成された薄膜トランジスタのソース/ドレイン電極33aであって、少なくとも上部2層の導電膜が上層から順次A 1 膜3 1及び高融点金属膜3 0となっているソース/ドレイン電極33aを被覆して絶縁膜3 5を形成する工程と、ソース/ドレイン電極33a上の絶縁膜3 5に開口36bを形成する工程と、開口36bを介してソース/ドレイン電極33aの最上層のA 1 膜3 1をエッチングし、除去して下地の高融点金属膜3 0を表出する工程と、開口36b内の高融点金属膜3 0と接触して透明導電膜37bを形成する工程とを有する。



【特許請求の範囲】

【請求項 1】 透明基板上に形成された薄膜トランジスタのソース／ドレイン電極であって、少なくとも最上層の導電膜が A 1 膜となっている前記ソース／ドレイン電極を被覆して絶縁膜を形成する工程と、前記ソース／ドレイン電極上の前記絶縁膜に開口を形成する工程と、前記開口を介して前記開口内の前記 A 1 膜をエッチングする工程と、前記開口内の前記ソース／ドレイン電極と接触する透明導電膜を形成する工程とを有する薄膜トランジスタの製造方法。

【請求項 2】 前記ソース／ドレイン電極は前記 A 1 膜の下に高融点金属膜が形成されており、前記 A 1 膜のエッチングにより、下地の前記高融点金属膜を表出することを特徴とする請求項 1 記載の薄膜トランジスタの製造方法。

【請求項 3】 前記 A 1 膜のエッチングをウエットエッチングにより行い、その後、前記開口の側壁の前記絶縁膜をサイドエッチングし、前記絶縁膜の前記開口を広げて前記開口内の前記絶縁膜の側壁面と前記開口内の A 1 膜の側壁面とを合わせることが特徴とする請求項 2 記載の薄膜トランジスタの製造方法。

【請求項 4】 前記透明基板上に形成された補助容量の上部電極であって、少なくとも上部 2 層の導電膜が上層から順に A 1 膜及び高融点金属膜となっている前記上部電極に対して、前記ソース／ドレイン電極に対する前記工程を同時に適用し、前記透明導電膜により前記上部電極と前記ソース／ドレイン電極とを接続することを特徴とする請求項 2 又は請求項 3 記載の薄膜トランジスタの製造方法。

【請求項 5】 前記 A 1 膜のエッチングは A 1 膜の表層のエッチングであることを特徴とする請求項 1 記載の薄膜トランジスタの製造方法。

【請求項 6】 前記絶縁膜に開口を形成する工程の後、前記開口を被覆して導電膜を形成し、前記導電膜及び前記開口内の前記 A 1 膜の表層を連続してエッチングする工程を有する請求項 1 記載の薄膜トランジスタの製造方法。

【請求項 7】 前記ソース／ドレイン電極を被覆して絶縁膜を形成する工程の後、前記開口を形成するマスクとして用いた耐エッチング性膜を残したまま、前記開口を介して前記開口内の前記 A 1 膜の表層をエッチングする工程と、前記開口を被覆して導電膜を形成し、続いて、前記耐エッチング性膜を除去して前記開口内に前記導電膜を残す工程と、前記開口内の前記導電膜と接触する透明導電膜を形成する工程とを有する請求項 1 記載の薄膜トランジスタの製造方法。

【請求項 8】 前記透明基板上に形成された補助容量の上部電極であって、少なくとも最上層の導電膜が A 1 膜となっている前記上部電極に対して、前記ソース／ドレイン電極に対する前記工程を同時に適用し、前記透明導電膜により前記上部電極と前記ソース／ドレイン電極とを接続することを特徴とする請求項 5、請求項 6 又は請求項 7 記載の薄膜トランジスタの製造方法。

【請求項 9】 前記透明導電膜は ITO 膜又は ZnO 膜であることを特徴とする請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7 又は請求項 8 記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタの製造方法に関し、より詳しくは、液晶表示装置の液晶駆動に用いられる薄膜トランジスタの製造方法に関する。近年、ラップトップパーソナルコンピュータや壁掛けテレビに使用する薄膜トランジスタ (TFT) マトリクス型カラー液晶パネルの開発や商品化が進められている。TFT マトリクス型カラー液晶パネルはその表示品質の点で CRT と代替できることが認められつつあり、今後、価格、信頼性及び製造歩留り等の更なる向上が望まれている。

【0002】

【従来の技術】TFT マトリクス型カラー液晶パネルの信頼性及び製造歩留り向上のための対策の一つとして、TFT マトリクスの更なる改良が望まれている。図 9 (a)、(b)～図 10 は TFT マトリクス型カラー液晶パネルに用いられる TFT マトリクスの製造方法について説明する断面図である。

【0003】図 9 (a) は、各電極を被覆して層間絶縁膜が形成された後、これらの電極と画素電極等とを接続するためのビアホールを形成する前の状態を示す。図では、特に、ドレイン端子部、画素部及びゲート端子部を示す。画素部では、透明基板 1 上にゲート電極 2 と補助容量の下部電極 3 が形成され、これら電極 2、3 を被覆してゲート絶縁膜 5 が形成されている。更に、ゲート電極 2 上方にはゲート絶縁膜 5 を介して TFT が形成され、TFT は最上層部が A 1 膜となっているソース／ドレイン電極 6 a、6 b を有する。また、下部電極 3 の上方にはゲート絶縁膜 5 を介して、最上層部が A 1 膜となっている補助容量の上部電極 7 が形成されている。更に、ソース／ドレイン電極 6 a、6 b 及び上部電極 7 を被覆して層間絶縁膜 9 が形成されている。

【0004】また、ドレイン端子部では、透明基板 1 上にゲート絶縁膜 5 を介して最上層部が A 1 膜となっているドレイン端子 8 が形成されており、ドレイン端子 8 は層間絶縁膜 9 により被覆されている。更に、ゲート端子部では、透明基板 1 上に Ti と A 1 膜の 2 層の導電膜からなるゲート端子 4 と、これを被覆してゲート絶縁膜 5

と層間絶縁膜 9 が形成されている。

【0005】この後、図 9 (b) に示すように、レジストマスクに基づく選択エッチング工程を経て、ドレイン端子 8 上の層間絶縁膜 9 と、画素部のソース電極 6 a 上の層間絶縁膜 9 と、上部電極 7 上の層間絶縁膜 9 と、ゲート端子 4 上のゲート絶縁膜 5 及び層間絶縁膜 9 とにそれぞれ開口 10 a, 10 b, 10 c, 10 d を形成する。開口 10 a ~ 10 d の底部にはそれぞれ A 1 膜が露出している。

【0006】次いで、図 10 に示すように、各開口 10 a ~ 10 d を被覆するように透明導電膜を形成した後、パターニングし、画素部のソース電極 6 a 及び上部電極 7 と接続して画素電極 11 b を形成するとともに、ドレイン端子 8 及びゲート端子 4 と接続して引出し電極 11 a, 11 c を形成する。これにより、TFT が完成する。

【0007】

【発明が解決しようとする課題】上記の TFT の製造方法においては、電極や、電極に接続した配線層の抵抗を下げるため、A 1 膜を重ねて形成している。しかし、A 1 膜上の層間絶縁膜 9 等に開口 10 a ~ 10 d を形成し、この開口 10 a ~ 10 d を介して画素電極 11 b や引出し電極 11 a, 11 c を形成した場合、画素電極 11 b 等と A 1 膜とのコンタクトがとれにくく、接触抵抗がばらついて大きくなるものがある。これは、A 1 膜の表面に自然酸化膜が形成されたため、或いは、開口 10 a ~ 10 d を形成するためのエッチングの際にエッチング残渣が A 1 膜の表面に再付着したためと考えられる。

【0008】このため、液晶を駆動するため TFT を動作させると、接触抵抗のムラによって、液晶層にかかる電圧が画素によってばらついたり、低下したりして、様な色調が得られなかったり、中間調表示の際に点欠陥が生じたりして表示不良を招く場合がある。本発明は、係る従来例の問題点を鑑みて創作されたものであり、A 1 膜と透明導電膜との接触抵抗のばらつきを抑制し、接触抵抗を小さく保持することができる薄膜トランジスタの製造方法を提供することを目的とするものである。

【0009】

【課題を解決するための手段】上記課題は、第 1 に、透明基板上に形成された薄膜トランジスタのソース/ドレイン電極であって、少なくとも最上層の導電膜が A 1 膜となっている前記ソース/ドレイン電極を被覆して絶縁膜を形成する工程と、前記ソース/ドレイン電極上の前記絶縁膜に開口を形成する工程と、前記開口を介して前記開口内の前記 A 1 膜をエッチングする工程と、前記開口内の前記ソース/ドレイン電極と接触する透明導電膜を形成する工程とを有する薄膜トランジスタの製造方法によって達成され、第 2 に、前記ソース/ドレイン電極は前記 A 1 膜の下に高融点金属膜が形成されており、前記 A 1 膜のエッチングにより、下地の前記高融点金属膜を表出することを特徴とする第 1 の発明に記載の薄膜トランジスタの製造方法によって達成され、第 3 に、前記

A 1 膜のエッチングをウェットエッチングにより行い、その後、前記開口の側壁の前記絶縁膜をサイドエッチングし、前記絶縁膜の前記開口を広げて前記開口内の前記絶縁膜の側壁面と前記開口内の A 1 膜の側壁面とを合わせることを特徴とする第 2 の発明に記載の薄膜トランジスタの製造方法によって達成され、第 4 に、前記透明基板上に形成された補助容量の上部電極であって、少なくとも上部 2 層の導電膜が上層から順に A 1 膜及び高融点金属膜となっている前記上部電極に対して、前記ソース/ドレイン電極に対する前記工程を同時に適用し、前記透明導電膜により前記上部電極と前記ソース/ドレイン電極とを接続することを特徴とする第 2 又は第 3 の発明に記載の薄膜トランジスタの製造方法によって達成され、第 5 に、前記 A 1 膜のエッチングは A 1 膜の表層のエッチングであることを特徴とする第 1 の発明に記載の薄膜トランジスタの製造方法によって達成され、第 6 に、前記絶縁膜に開口を形成する工程の後、前記開口を被覆して導電膜を形成し、前記導電膜及び前記開口内の前記 A 1 膜の表層を連続してエッチングする工程を有する第 1 の発明に記載の薄膜トランジスタの製造方法によって達成され、第 7 に、前記ソース/ドレイン電極を被覆して絶縁膜を形成する工程の後、前記開口を形成するマスクとして用いた耐エッチング性膜を残したまま、前記開口を介して前記開口内の前記 A 1 膜の表層をエッチングする工程と、前記開口を被覆して導電膜を形成し、続いて、前記耐エッチング性膜を除去して前記開口内に前記導電膜を残す工程と、前記開口内の前記導電膜と接触する透明導電膜を形成する工程とを有する第 1 の発明に記載の薄膜トランジスタの製造方法によって達成され、第 8 に、前記透明基板上に形成された補助容量の上部電極であって、少なくとも最上層の導電膜が A 1 膜となっている前記上部電極に対して、前記ソース/ドレイン電極に対する前記工程を同時に適用し、前記透明導電膜により前記上部電極と前記ソース/ドレイン電極とを接続することを特徴とする第 5、第 6 又は第 7 の発明に記載の薄膜トランジスタの製造方法によって達成され、第 9 に、前記透明導電膜は ITO 膜又は ZnO 膜であることを特徴とする第 1、第 2、第 3、第 4、第 5、第 6、第 7 又は第 8 の発明に記載の薄膜トランジスタの製造方法によって達成される。

【0010】

【作用】本発明の薄膜トランジスタの製造方法によれば、上部 2 層の導電膜が上層から順に A 1 膜及び高融点金属膜となっている TFT のソース/ドレイン電極と透明導電膜とを接続する前に、最上層の A 1 膜を除去し、A 1 膜の下地の高融点金属膜を露出している。

【0011】高融点金属膜は A 1 膜に比較して透明導電膜との間で良好なコンタクトが得られることが実験的に確かめられている。従って、絶縁物等のエッチング残渣がソース電極等の表面から除去されるとともに、透明導

電膜、例えばITO膜やZnO膜はコンタクト性の良い高融点金属膜との接続が可能となる。

【0012】ところで、Al膜のエッチング時に高融点金属膜との選択比をとるためAl膜をウェットエッチングすることがあるが、この場合、Al膜のウェットエッチングによりAl膜がサイドエッチングされるため、開口内で段差が生じる。この場合でも、Al膜のウェットエッチング後に、開口の側壁の絶縁膜をサイドエッチングし、絶縁膜の開口幅を広げて開口内の絶縁膜の側壁面と開口内のAl膜の側壁面とを合わせているので、開口内の段差が解消される。このため、開口を被覆して形成される透明導電膜の断線の危険性が少なくなり、信頼性の向上及び製造歩留りの向上を図ることができる。

【0013】更に、最上層がAl膜となっているTF Tのソース/ドレイン電極と透明導電膜とを接続する前にAl膜の表層を除去し、或いは導電膜を形成した後導電膜及びAl膜の表層を連続して除去し、或いはAl膜の表層を除去した後導電膜を形成している。従って、絶縁物等のエッチング残渣や自然酸化膜がAl膜の表面から除去され、或いは、透明導電膜との接触面には導電膜、例えば透明導電膜とコンタクト性の良いMo、Ti、Ta、Cr膜又はITO膜が露出しているため、透明導電膜とソース/ドレイン電極の間の接触性が良くなる。

【0014】これにより、透明導電膜とソース/ドレイン電極の間の接触抵抗のばらつきを抑制し、接触抵抗を小さく保持することができる。

【0015】

【実施例】

(1) 本発明の第1の実施例

図3は液晶表示パネルの透明基板上にTF Tマトリクスが形成された後の全体の構成を示す平面図である。図3に示すように、透明なガラス基板上に同じ構成の複数の画素がマトリクス状に縦方向及び横方向に整然と並んでいる。ここでは、1つの画素とそれに接続するゲート端子及びドレイン端子について説明する。

【0016】図3において、37bはITO膜（透明導電膜）からなる画素電極で、画素電極37bはTF Tのソース電極（ソース/ドレイン電極）上の2つの開口36b等を介してソース電極と接続する。23はTF Tのゲート電極と接続するゲートバスラインで、図面上縦方向に並んでいる各画素のTF Tのゲート電極がそれぞれ接続されている。24はゲートバスライン23と接続するゲート端子で、各ゲート端子24等毎に一つのゲートバスライン23等が接続される。

【0017】38はTF Tのドレイン電極を介してTF Tと接続するドレインバスラインで、図面上横方向に並んでいる各画素のTF Tのドレイン電極がそれぞれ接続されている。32はドレインバスライン38と接続するドレイン端子で、各ドレイン端子32等毎に一つのドレインバスライン38等が接続される。34はガラス基板

上にゲート絶縁膜を介してドレイン端子32及びソース電極33a及びドレイン電極33bと同じ材料で、ドレイン端子32と同時に形成された補助容量の上部電極で、帯状に、かつゲートバスライン23に並行して形成されている。

【0018】この上部電極34の下方には蓄積容量絶縁膜を介して下部電極が形成されており、上部電極34と下部電極とが重なっている領域は、上部電極34/蓄積容量絶縁膜/下部電極からなるコンデンサとして機能する。また、上部電極34は2つの開口36c等を介して画素電極37bと接続している。なお、画素電極37bと不図示の液晶層を介して対向する不図示のコモン電極とは画素電極37b/液晶層/コモン電極からなる寄生的なコンデンサを構成する。従って、蓄積容量絶縁膜のコンデンサはソース電極33aを共通にして液晶層のコンデンサと並列に入ることになる。これにより、電圧依存性を有する液晶層のコンデンサの容量の減少を補償し、液晶層への印加電圧の変動による色ずれ等が抑制される。

【0019】次に、上記図3のTF Tマトリクスを作成する、本発明の第1の実施例の製造方法について図1(a)、(b)、図2(a)、(b)を参照しながら説明する。各図面には左からドレイン端子部、画素部、ゲート端子部が示される。ドレイン端子部は図3のA-A線断面図に相当し、画素部のTF T部は図3のB-B線断面図に相当し、画素部の補助容量部は図3のC-C線断面図に相当し、ゲート端子部は図3のD-D線断面図に相当する。

【0020】図1(a)に示すように、透明なガラス基板（透明基板）21上に、ゲート電極22と、ゲート電極22と接続するゲートバスライン23と、ゲートバスライン23と接続するゲート端子24と、補助容量の下部電極25とを形成する。これらのうちゲート電極22はTi膜からなり、他はすべてTi膜及びこのTi膜を被覆するAl膜の2層の導電膜からなる。

【0021】続いて、ゲート電極22、ゲートバスライン23、ゲート端子24及び下部電極25を被覆して膜厚約4000Åのシリコン窒化膜26をプラズマCVD法により形成する。なお、ゲート電極22上のシリコン窒化膜26はゲート絶縁膜となり、下部電極25上のシリコン窒化膜26は補助容量絶縁膜となる。次いで、膜厚約150～500Åのアモルファスシリコン膜(a-Si膜；動作半導体層)27と膜厚約1200Åのシリコン窒化膜をプラズマCVD法により連続的に形成する。

【0022】次に、回転塗布法により不図示のレジスト膜を形成した後、露光マスクを用いて選択的に露光し、現像してゲート電極22の上方に、かつゲート電極22よりも狭い島状のレジスト膜を残す。次いで、塩素系又はフッ素系の反応ガスを用いたリアクティブイオンエッチング(RIE)により、レジスト膜をマスクとしてシリコン窒化膜をエッチングし、除去してチャネル保護膜

28を形成する。なお、シリコン窒化膜は緩衝弗酸溶液（BHF）を用いたウェットエッチングにより除去してもよい。

【0023】次に、チャンネル保護膜28及びa-Si膜27上にCVD法により膜厚約800Åのn⁺a-Si膜29を形成した後、スパッタ法により膜厚約800ÅのTi膜30を形成し、続いて蒸着法等により、Ti膜30上に膜厚約500ÅのAl膜31を形成する。次いで、塩素系又はフッ素系の反応ガスを用いたリアクティブイオンエッチング（RIE）により、新たに形成された不図示のレジスト膜をマスクとして、Al膜31とTi膜30とn⁺a-Si膜29とa-Si膜27とを連続的にエッチングし、除去する。

【0024】これにより、a-Si膜27からなるトランジスタの動作半導体層27aと、動作半導体層27aに接続されたn⁺a-Si膜29/Ti膜30/Al膜31からなるソース電極33a及びドレイン電極33bと、a-Si膜27/n⁺a-Si膜29/Ti膜30/Al膜31からなるドレインバスラインと、a-Si膜27/n⁺a-Si膜29/Ti膜30/Al膜31が積層されたドレイン端子32とが形成される。

【0025】次に、ドレイン端子32、ドレインバスライン、TFT、補助容量の上部電極34を被覆してプラズマCVD法により層間絶縁膜としての膜厚約2000Åのシリコン窒化膜（絶縁膜）35を形成する。次いで、図1（b）に示すように、不図示のレジストマスクに基づいてSF₆を用いたドライエッチングによりシリコン窒化膜35を選択的にエッチングし、除去して、ドレイン端子32、TFTのソース電極33a、上部電極34上のシリコン窒化膜35に開口36a～36cを形成するとともに、ゲート端子24上のゲート絶縁膜26及びシリコン窒化膜35に開口36dを形成する。これにより、開口36a～36cの底部にAl膜31が現れ、また開口36dの底部にゲート端子24のAl膜が現れる。しかし、Al膜の表面にはエッチング残渣が残る場合があり、また、大気中に放置するとAl膜の表面には自然に酸化膜が形成される場合がある。

【0026】このまま、ITO膜を形成した場合、コンタクトが不十分になる危険性があるので、続いて、図2（a）に示すように、各開口36a～36dを介して底部のAl膜をエッチングする。これにより、開口36a～36cの底部にTi膜30が表出し、また開口36dの底部にゲート端子24のTi膜が現れる。このとき、Al膜のエッチングとして、塩素系の反応ガスを用いたドライエッチングを用いるか、或いは加熱した燐酸を用いたウェットエッチングを用いる。

【0027】次いで、膜厚約800ÅのITO膜又はZnO膜（透明導電膜）をスパッタ法により形成する。次に、図2（b）に示すように、不図示のレジストマスクを形成した後、該レジストマスクに基づいてITO膜又

はZnO膜を選択的にエッチングし、開口36a～36dを介してドレイン端子32と接続するドレイン引出し電極37aと、ソース電極33a及び上部電極34と接続する画素電極37bと、ゲート端子24と接続するゲート引出し電極37cとを形成する。

【0028】以上のように、本発明の第1の実施例に係るTFTマトリクス製造方法によれば、図2（a）に示すように、上部の2層がTi膜30/Al膜31となっているドレイン端子32、TFTのソース電極33a、上部電極34及びゲート端子24とITO膜とを接続する前に、Al膜31等を除去し、Al膜31等の下地のTi膜30等を露出している。

【0029】Ti膜30等はAl膜31等に比較してITO膜37a～37cとの間で良好なコンタクトが得られることが実験的に確かめられている。従って、絶縁物等のエッチング残渣がソース電極33a等の表面から除去されるとともに、ITO膜37a～37cはコンタクト性の良いTi膜30等との接続が可能となる。

【0030】これにより、接触抵抗のばらつきを抑制し、接触抵抗を小さく保持して、画素全体にわたって一様に液晶層に電圧がかかるようにし、色調の変調や点欠陥が生じるのを防止することができる。従って、信頼性や製造歩留りの向上を図ることができる。

（2）本発明の第2の実施例

本発明の第2の実施例について図4（a）～（c）を参照しながら説明する。以下、画素部のみについて説明し、他の部分については同様なので説明を省略する。

【0031】図2（a）に示す第1の実施例の、開口36a～36dを介してAl膜31等をエッチングし、除去する工程において、ドライエッチングではAl膜31等とAl膜31等の下地のTi膜30等とはエッチングの選択性がほとんどないため、Al膜31等のエッチングの終点検出が困難になる。従って、特に、オーバエッチングの危険性が高く、その影響が大きいような場合には、Al膜31をエッチングするため、加熱した燐酸によりウェットエッチングする場合がある。

【0032】この場合、図4（b）に示すように、Al膜31のサイドエッチングが生じ、層間絶縁膜35の開口36b、36c幅よりも広くAl膜31が除去されて開口36b、36c内の層間絶縁膜35の側壁から層間絶縁膜35の下の方までAl膜31の端部側壁が後退する。従って、この部分で段差が生じるため、開口36b、36cを被覆してITO膜が形成された場合、段差部でITO膜の断線が起きやすくなる。

【0033】この危険性を回避するため、第2の実施例では、図4（b）に示すように、ウェットエッチングにより開口36b、36cを介してAl膜31をエッチングした後、CF₄、+O₂、ガスをを用いたケミカルドライエッチング（CDE）法により層間絶縁膜35のエッチングを行う。これにより、開口36b、36c内の側壁の層間絶縁

膜35はサイドエッチングを受けて開口幅が広がり、適当なエッチング時間の後、開口36e, 36f内において既に層間絶縁膜35の下の方まで後退しているA1膜31の端部側壁面と層間絶縁膜35の側壁面とが一致するようになる。

【0034】例えば、膜厚500ÅのA1膜31をジャストエッチングよりも1.5倍程度オーバーエッチングした場合、サイドエッチング量は片側約0.5μmとなる。このとき、CDEを300Wで凡そ30秒行うことにより、層間絶縁膜35の側壁は片側約0.5μm後退し、A1膜31の端部側壁面と層間絶縁膜35の側壁面とがほぼ一致するようになる。

【0035】従って、第2の実施例によれば、開口36e, 36fを被覆して形成されるITO膜の断線の危険性が少なくなり、信頼性の向上及び製造歩留りの向上を図ることができる。

(3) 本発明の第3～第5の実施例

本発明の第3～第5の実施例について図5～図8を参照しながら説明する。第3～第5の実施例では、第1及び第2の実施例のようにA1膜を全部除去するかわりに、A1膜の表層のみをエッチングする。以下の3つの方法がある。以下、画素部のみについて説明し、ドレイン端子部やゲート端子部については同様なので説明を省略する。

【0036】(A) 第3の実施例

図5(a)～(d)は第3の実施例について示す断面図である。第1の実施例の図2(a)に示す開口36b, 36cを形成する工程の後、図5(a)に示すように、開口36b, 36cを形成したときのレジスト膜を除去し、その後、図5(b)に示すように、Arイオンを用いたドライエッチングにより開口36b, 36cを介してA1膜31の表層を20～200Å程度エッチングする。

【0037】次いで、図5(c)に示すように、全面に再びITO膜を形成した後、パターニングして画素電極(透明導電膜)37bを形成する。以上の工程において、A1膜31の表層のエッチングと、ITO膜37bの成膜とは減圧中で連続して行うことが好ましい。これにより、エッチング後のA1膜の表面に自然酸化膜が再形成されるのを防止することができるので、ITO膜37bとA1膜31の良好な接触が得られる。

【0038】(B) 第4の実施例

図6(a)～(c)は第4の実施例について示す断面図である。第1の実施例の図2(a)に示す開口36b, 36cを形成する工程の後、図6(a)に示すように、開口36b, 36cを形成したときのレジスト膜を除去し、その後、図6(b)に示すように、全面にITO膜(導電膜)41を形成する。

【0039】続いて、図6(c)に示すように、ITO膜41の全てと50～70Å程度のA1膜31の表層をウェットエッチングする。このようにすることにより、

A1膜31単体の処理だけでは除去することが困難なA1膜31の表層の自然酸化膜を除去することが可能となる。次いで、図6(d)に示すように、全面に再びITO膜を形成した後、パターニングして画素電極(透明導電膜)37bを形成する。

【0040】(C) 第5の実施例

図7(a)～(c)及び図8(a), (b)は第5の実施例について示す断面図である。

【0041】第1の実施例の図2(a)に示す開口36b, 36cを形成する工程の後、図7(a)に示すように、開口36b, 36cを形成したときのレジスト膜(耐エッチング性膜)42をそのまま残した状態で、図7(b)に示すように、磷酸を含む溶液により、A1膜31の表層を20～200Å程度ウェットエッチングする。次に、図7(c)に示すように、全面にMo膜, Ti膜, Ta膜, Cr膜又はITO膜からなる導電膜43を形成する。

【0042】次いで、図8(a)に示すように、レジスト膜42を除去する。このとき、リフトオフによりレジスト膜42上の導電膜43のみが除去され、開口36b, 36c内に形成されていたMo膜, Ti膜, Ta膜, Cr膜又はITO膜からなる導電膜43a, 43bのみ残る。次いで、図8(b)に示すように、全面に再びITO膜を形成した後、パターニングして画素電極37bを形成する。このとき、開口36b, 36c内のITO膜(透明導電膜)37bは導電膜43a, 43b上に形成されるため、良好なコンタクトが得られる。

【0043】以上のように、本発明の第3～第5の実施例の薄膜トランジスタマトリクス製造方法によれば、最上層がA1膜31となっているTFEのソース電極33a及び補助容量の上部電極34とITO膜37bとを接続する前に、A1膜31の表層を除去し、或いはA1膜31の表層を除去した後Mo膜, Ti膜, Ta膜, Cr膜又はITO膜からなる導電膜43a, 43bを形成している。

【0044】従って、絶縁物等のエッチング残渣や自然酸化膜がソース電極33a等の表面から除去され、或いはA1膜31上に導電膜41を形成した後この導電膜41及びA1膜31の表層が連続して除去され、或いはITO膜37bはコンタクト性の良い膜, Ti膜, Ta膜, Cr膜又はITO膜からなる導電膜43a, 43bと接続されるので、ITO膜37bとソース電極33a等の間の電氣的接続性が良くなる。

【0045】これにより、ITO膜37bとソース電極33a等の間の接触抵抗のばらつきを抑制し、接触抵抗を小さく保持することができる。このため、TFEを動作させた場合、画素全体にわたって一様に液晶層に電圧がかかり、色調の変調や点欠陥が生じるのを防止することができる。従って、液晶表示装置の信頼性及び製造歩留りの向上を図ることができる。

【0046】なお、上記第1～第5の実施例では、透明電極としてITO膜37a～37cを用いているが、ZnO膜を用いることもできる。この場合も、ITO膜37a～37cと同様な効果を得ることができる。また、Al膜31の下の高融点金属膜としてTi膜30を用いているが、その他Ta膜、Mo膜等を用いてもよい。

【0047】

【発明の効果】以上のように、本発明の薄膜トランジスタマトリクス製造方法においては、上部2層の導電膜が上層から順にAl膜及び高融点金属膜となっているTF

FTのソース／ドレイン電極とITO膜とを接続する前に、最上層のAl膜を除去し、下地の高融点金属膜を露出している。

【0048】従って、絶縁物等のエッチング残渣がソース電極等の表面から除去されるとともに、透明導電膜はコンタクト性の良い高融点金属膜との接続が可能となる。また、Al膜のウェットエッチング後に、開口の側壁の絶縁膜をサイドエッチングし、絶縁膜の開口幅を広げて開口内の絶縁膜の側壁面と開口内のAl膜の側壁面とを合わせているので、Al膜のウェットエッチングにより生じた開口内の段差が解消される。このため、開口を被覆して形成される透明導電膜の断線の危険性が少なくなり、信頼性の向上及び製造歩留りの向上を図ることができる。

【0049】更に、最上層がAl膜となっているTF

FTのソース／ドレイン電極と透明導電膜とを接続する前に、Al膜の表層を除去し、或いはAl膜の表層を除去した後導電膜を形成している。従って、絶縁物等のエッチング残渣や自然酸化膜がAl膜の表面から除去され、或いは、透明導電膜との接触面には導電膜、例えば透明導電膜とコンタクト性の良いMo、Ti、Ta、Cr膜又はITO膜が露出しているため、透明導電膜とソース／ドレイン電極の間の接触性が良くなる。

【0050】これにより、透明導電膜とソース／ドレイン電極の間の接触抵抗のばらつきを抑制し、接触抵抗を小さく保持することができる。このため、TF

FTを動作させた場合、画素全体にわたって一様に液晶層に電圧がかかり、色調の変調や点欠陥が生じるのを防止することができる。従って、液晶表示装置の信頼性や製造歩留りの向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る薄膜トランジスタマトリクス製造方法について示す断面図（その1）である。

【図2】本発明の第1の実施例に係る薄膜トランジスタ

マトリクス製造方法について示す断面図（その2）である。

【図3】本発明の実施例に係る薄膜トランジスタマトリクスの構成について示す平面図である。

【図4】本発明の第2の実施例に係る薄膜トランジスタマトリクス製造方法について示す断面図である。

【図5】本発明の第3の実施例に係る薄膜トランジスタマトリクス製造方法について示す断面図である。

【図6】本発明の第4の実施例に係る薄膜トランジスタマトリクス製造方法について示す断面図である。

【図7】本発明の第5の実施例に係る薄膜トランジスタマトリクス製造方法について示す断面図（その1）である。

【図8】本発明の第5の実施例に係る薄膜トランジスタマトリクス製造方法について示す断面図（その2）である。

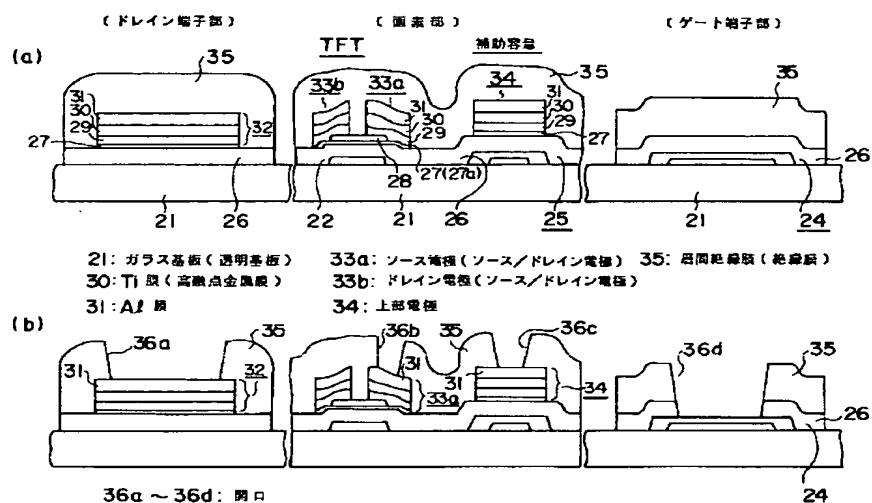
【図9】従来例に係る薄膜トランジスタマトリクス製造方法について示す断面図（その1）である。

【図10】従来例に係る薄膜トランジスタマトリクス製造方法について示す断面図（その2）である。

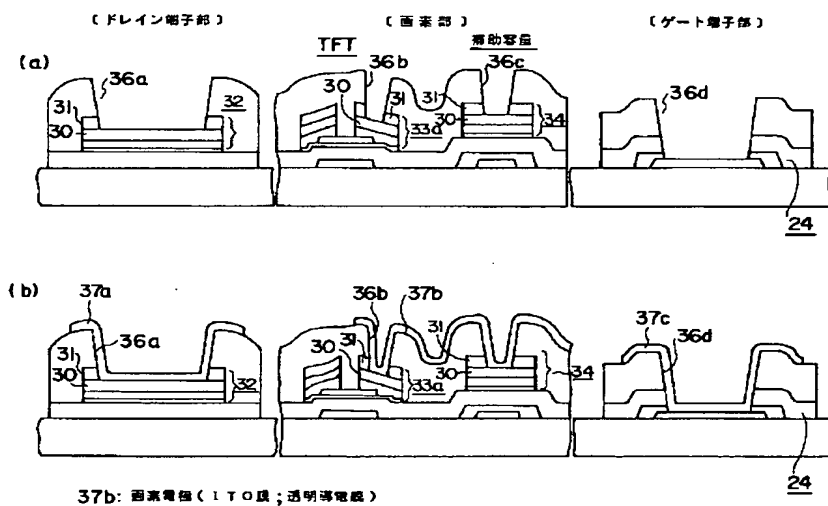
【符号の説明】

- 21 ガラス基板（透明基板）、
- 22 ゲート電極、
- 23 ゲートバスライン、
- 24 ゲート端子、
- 25 下部電極、
- 26 ゲート絶縁膜、
- 27 a-Si層（動作半導体層）、
- 28 保護絶縁膜、
- 29 n⁺-a-Si層、
- 30 Ti膜（高融点金属膜）、
- 31 Al膜、
- 32 ドレイン端子、
- 33a ソース電極、
- 33b ドレイン電極、
- 34 上部電極、
- 35 シリコン窒化膜（絶縁膜）、
- 36a～36f 開口、
- 37a ドレイン引出し電極、
- 37b 画素電極（ITO膜；透明導電膜）、
- 37c ゲート引出し電極、
- 38 ドレインバスライン、
- 41 ITO膜（導電膜）、
- 42 レジスト膜（耐エッチング性膜）、
- 43、43a、43b 導電膜。

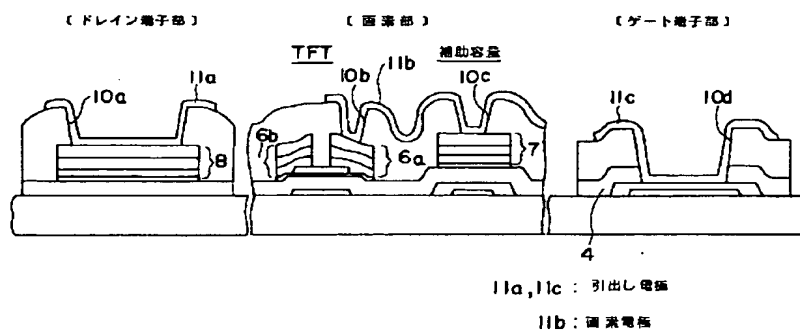
【図1】



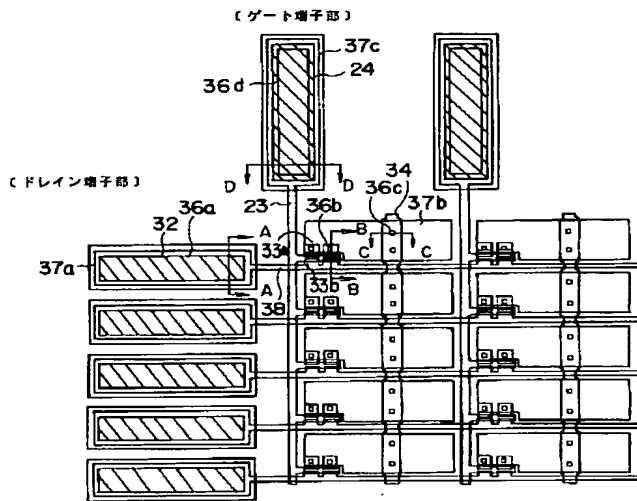
【図2】



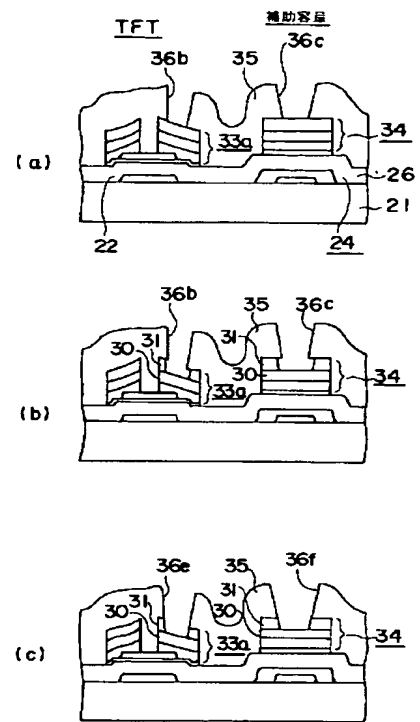
【図10】



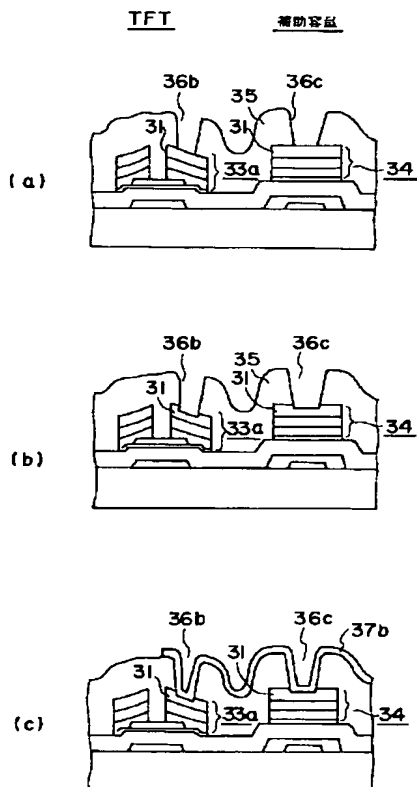
【図 3】



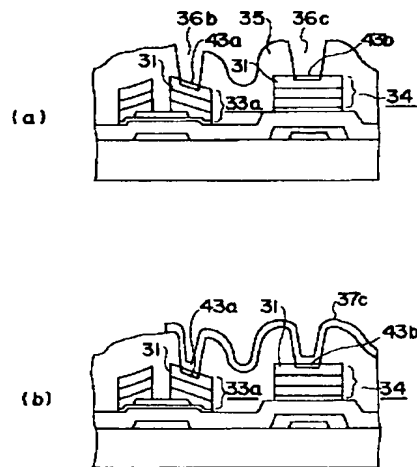
【図 4】



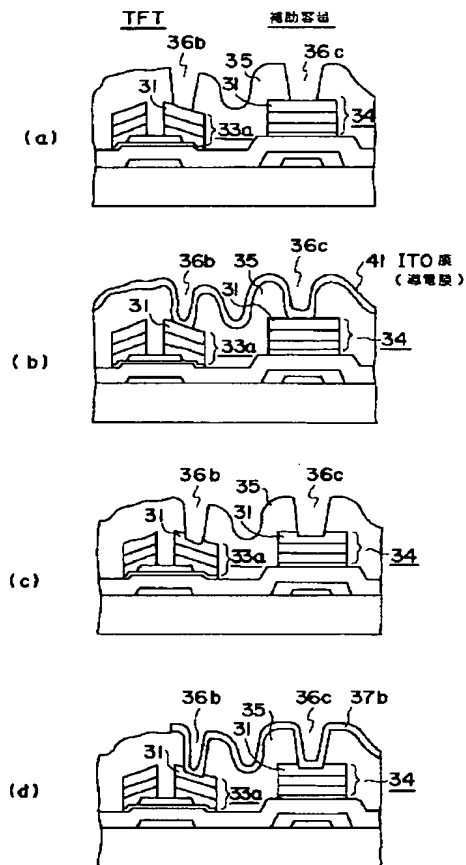
【図 5】



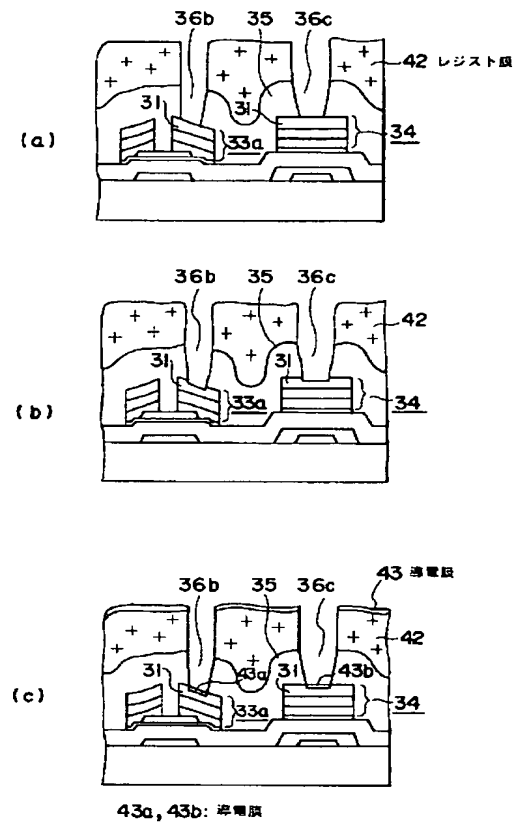
【図 8】



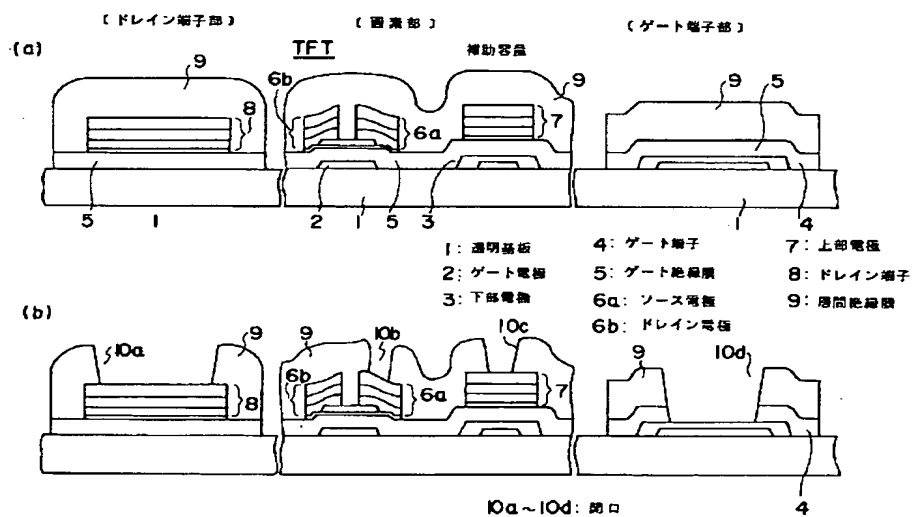
【図6】



【図7】



【図9】



フロントページの続き

(72)発明者 石割 秀敏
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者 嶋田 裕行
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 井上 淳
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者 廣田 四郎
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内